

Docket No.: 57810-086

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshikazu IBARA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 02, 2004	:	Examiner: Unknown
	:	
For: METHOD OF FABRICATING SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-030463, filed February 7, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: February 2, 2004

57810-086

IBARA

February 2, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

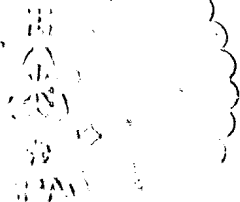
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 0 4 6 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 0 4 6 3]

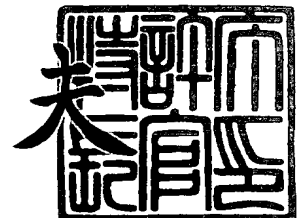
出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):



2 0 0 4 年 1 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 1 0 0 6 0

【書類名】 特許願

【整理番号】 NPC1020075

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 井原 良和

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433

【弁理士】

【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の素子分離領域に、第 1 の溝を形成する工程と、前記第 1 の溝内を埋め込むように、絶縁膜からなる第 1 の膜を形成する工程と、
前記第 1 の溝内に、前記第 1 の溝よりも深さの大きい第 2 の溝を形成する工程と、
前記第 2 の溝内に埋め込み膜を形成する工程と、
前記第 1 の膜の余分な堆積部分および前記埋め込み膜の余分な堆積部分を同時に研磨する工程とを備えた、半導体装置の製造方法。

【請求項 2】 前記第 1 の膜上に、前記第 1 の膜よりも被覆性の良好な第 2 の膜を形成する工程をさらに備え、
前記第 2 の溝を形成する工程は、
前記第 2 の膜および前記第 1 の膜をマスクとして、前記半導体基板をエッチングすることによって、前記第 1 の溝内に、前記第 1 の溝よりも深さの大きい第 2 の溝を形成する工程を含む、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の膜は、前記第 2 の膜よりも良好な埋め込み特性を有する、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の膜を形成する工程は、
高密度プラズマ CVD 法を用いて前記絶縁膜からなる第 1 の膜を形成する工程を含む、請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の膜を形成する工程は、
高密度プラズマ CVD 法以外の形成方法を用いて、前記第 1 の膜よりも良好な被覆性を有する第 2 の膜を形成する工程を含む、請求項 2 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】



この発明は、半導体装置の製造方法に関し、特に、素子分離領域を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来、バイポーラトランジスタなどの半導体装置の素子分離技術として、LOCOS (Local Oxidation of Silicon) 法で形成したフィールド酸化膜による素子分離に加えて、基板中の高濃度不純物層を分離するための深い溝を形成する方法が知られている。このようなLOCOS法により形成したフィールド酸化膜では、表面の平坦性が悪いとともに、バースピークに起因する素子分離領域の面積の増大によりさらなる微細化を図るのが困難であるという不都合がある。

【0003】

そこで、近年、LOCOS法に代えて、平坦性に優れ、かつ、より微細化が可能なSTI (Shallow Trench Isolation) 法を用いた素子分離技術が提案されている (たとえば、特許文献1参照)。

【0004】

図13～図23は、従来のSTI法による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。図13～図23を参照して、以下に、従来の半導体装置の製造プロセスについて説明する。

【0005】

まず、図13に示すように、P型シリコン基板101の主表面に、N⁺型埋め込み層102を形成する。N⁺型埋め込み層102上に、N型エピタキシャルシリコン層103を形成する。N型エピタキシャルシリコン層103上に、熱酸化法を用いてシリコン酸化膜 (SiO₂膜) 104を形成する。シリコン酸化膜104上に、後述するCMP (Chemical Mechanical Polishing) 工程でのストッパ膜となるSi₃N₄膜105を形成する。そして、Si₃N₄膜105上の所定領域に、レジスト膜106を形成する。

【0006】

この後、レジスト膜106をマスクとして、Si₃N₄膜105およびシリコン



酸化膜 104 をドライエッチングによってエッチングした後、エピタキシャルシリコン層 103 の一部をエッチングすることによって、図 14 に示すような、素子形成領域 150 を囲むように、浅い溝 (Shallow Trench) 120 を形成する。この後、レジスト膜 106 を除去する。

【0007】

次に、図 15 に示すように、全面に、高密度プラズマ CVD 法 (HDP (High Density Plasma) - CVD 法) を用いて、埋め込み特性に優れた HDP-NSG (Non-Doped Silicate Glass) 膜 107 を形成する。この後、 Si_3N_4 膜 105 をストップ膜として、CMP 法を用いて、HDP-NSG 膜 107 の余分な堆積部分を研磨により除去することによって、図 16 に示されるような、浅い溝 120 内に埋め込まれた平坦な上面を有する HDP-NSG 膜 107 が形成される。

【0008】

次に、図 17 に示すように、HDP-NSG 膜 107 上および Si_3N_4 膜 105 上に、後述する CMP 工程でのストップ膜となる Si_3N_4 膜 108 を形成する。そして、 Si_3N_4 膜 108 上に、CVD 法を用いて、シリコン酸化膜 (SiO_2 膜) 109 を形成する。シリコン酸化膜 109 上の所定領域に、レジスト膜 110 を形成する。

【0009】

次に、図 18 に示すように、レジスト膜 110 をマスクとして、シリコン酸化膜 109、 Si_3N_4 膜 108 および HDP-NSG 膜 107 をエッチングすることによって、パターニングする。この後、レジスト膜 110 を除去することによって、図 19 に示されるような形状が得られる。

【0010】

次に、図 20 に示すように、シリコン酸化膜 109 をハードマスクとして、N 型エピタキシャルシリコン層 103、N+型埋め込み層 102 および P 型シリコン基板 101 をエッチングすることによって、N+型埋め込み層 102 を分離するための深い溝 130 を形成する。この後、シリコン酸化膜 109 を除去することによって、図 21 に示されるような形状が得られる。

【0011】

次に、図22に示すように、深い溝130を埋め込むとともに、 Si_3N_4 膜108上に延びるように、CVD法を用いてシリコン酸化膜(SiO_2 膜)111を形成する。この後、 Si_3N_4 膜108をストッパ膜として、CMP法を用いて、シリコン酸化膜111の余分な堆積部分を研磨により除去した後、 Si_3N_4 膜108、 Si_3N_4 膜105およびシリコン酸化膜104を除去する。このシリコン酸化膜104の除去の際に、HDP-NSG膜107の表面も削られるので、最終的に、図23に示されるような平坦な上面を有する素子分離領域が形成される。

【0012】

上記のようにして、従来のバイポーラトランジスタ(半導体装置)に用いられる素子分離領域が形成される。その後、素子形成領域150にバイポーラトランジスタ(図示せず)が形成される。

【0013】

【特許文献1】

特開平9-8119号公報

【発明が解決しようとする課題】

しかしながら、図13～図23に示した従来の素子分離領域を含む半導体装置の製造方法では、浅い溝120に埋め込まれるHDP-NSG膜107の余分な堆積部分および深い溝130に埋め込まれるシリコン酸化膜111の余分な堆積部分を、それぞれ別々のCMP工程で研磨することにより除去しているため、製造プロセスが複雑化するという問題点があった。また、各CMP工程で、ストッパ膜となる Si_3N_4 膜105および Si_3N_4 膜108を形成する必要があるため、これによっても、製造プロセスが複雑化するという問題点があった。また、CMP工程は、製造単価が高いため、2回のCMP工程によって、製造コストが上昇するという問題点もあった。

【0014】

この発明は上記のような課題を解決するためになされたものであり、この発明の1つの目的は、研磨工程の回数を減少させることによって、製造プロセスを簡

略化するとともに製造コストを低減することが可能な半導体装置の製造方法を提供することである。

【0015】

この発明のもう1つの目的は、上記の半導体装置の製造方法において、研磨工程の回数を減少させた場合にも、深い溝の形成の際のエッチング時に、エッチング不良が発生するのを抑制することである。

【0016】

【課題を解決するための手段および発明の効果】

この発明の一の局面による半導体装置の製造方法は、半導体基板の素子分離領域に、第1の溝を形成する工程と、第1の溝内を埋め込むように、絶縁膜からなる第1の膜を形成する工程と、第1の溝内に、第1の溝よりも深さの大きい第2の溝を形成する工程と、第2の溝内に埋め込み膜を形成する工程と、第1の膜の余分な堆積部分および埋め込み膜の余分な堆積部分を同時に研磨する工程とを備えている。

【0017】

この一の局面による半導体装置の製造方法では、上記のように、第1の溝内を埋め込むように絶縁膜からなる第1の膜を形成するとともに、第2の溝内に埋め込み膜を形成した後、第1の膜の余分な堆積部分および埋め込み膜の余分な堆積部分を同時に研磨することによって、第1の膜の余分な堆積部分と埋め込み膜の余分な堆積部分とを別々の工程で研磨する場合に比べて、製造プロセスを簡略化することができる。また、研磨工程が1回でよいので、その分、製造コストを低減することができる。

【0018】

上記一の局面による半導体装置の製造方法において、好ましくは、第1の膜上に、第1の膜よりも被覆性の良好な第2の膜を形成する工程をさらに備え、第2の溝を形成する工程は、第2の膜および第1の膜をマスクとして、半導体基板をエッチングすることによって、第1の溝内に、第1の溝よりも深さの大きい第2の溝を形成する工程を含む。このように構成すれば、第1の膜として被覆性の悪い膜を用いた場合にも、第2の膜により、第2の溝の形成の際のエッチング時に

、第1の膜の半導体基板表面の段差部近傍の部分が削られて半導体基板の表面が露出するのを抑制することができる。これにより、第2の溝の形成の際のエッチング時に、第1の膜の段差部近傍の半導体基板の表面がエッチングされるのを抑制することができる。その結果、第2の溝の形成の際のエッチング時に、エッチング不良が発生するのを抑制することができる。

【0019】

この場合、第1の膜は、第2の膜よりも良好な埋め込み特性を有するのが好ましい。このように構成すれば、第1の膜により第1の溝を良好に埋め込むことができる。

【0020】

上記一の局面による半導体装置の製造方法において、好ましくは、第1の膜を形成する工程は、高密度プラズマCVD法を用いて絶縁膜からなる第1の膜を形成する工程を含む。このように構成すれば、容易に、良好な埋め込み特性を有する第1の膜を形成することができる。

【0021】

上記一の局面による半導体装置の製造方法において、好ましくは、第2の膜を形成する工程は、高密度プラズマCVD法以外の形成方法を用いて、第1の膜よりも良好な被覆性を有する第2の膜を形成する工程を含む。このように構成すれば、たとえば、減圧CVD法や常圧CVD法などの高密度プラズマCVD法以外の形成方法を用いて第2の膜を形成することによって、容易に、第1の膜よりも良好な被覆性を有する第2の膜を形成することができる。

【0022】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0023】

図1～図10は、本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。以下、図1～図10を参照して、本実施形態による素子分離領域を含む半導体装置の製造プロセスについて説明する。

【0024】

まず、図1に示すように、P型シリコン基板1上に、N⁺型埋め込み層2を形成する。N⁺型埋め込み層2上に、N型エピタキシャルシリコン層3を形成する。なお、P型シリコン基板1、N⁺型埋め込み層2およびN型エピタキシャルシリコン層3は、本発明の「半導体基板」の一例である。そして、N型エピタキシャルシリコン層3上に、熱酸化法を用いてシリコン酸化膜(SiO₂膜)4を約10nmの厚みで形成する。シリコン酸化膜4上に、CMP工程におけるストップ膜となるSi₃N₄膜5を約100nmの厚みで形成する。そして、Si₃N₄膜5上の所定領域に、レジスト膜6を形成する。

【0025】

次に、図2に示すように、レジスト膜6をマスクとして、Si₃N₄膜5およびシリコン酸化膜4をドライエッチングした後、さらに、エピタキシャルシリコン層3を約500nmの厚み分だけエッチングする。これにより、素子形成領域50を囲むように、約500nmの深さを有する浅い溝20が形成される。なお、浅い溝20は、本発明の「第1の溝」の一例である。この後、レジスト膜6を除去する。

【0026】

次に、図3に示すように、高密度プラズマCVD法(HDP-CVD法)を用いて、浅い溝20が完全に埋まるように、約600nmの厚みで、HDP-NSG膜7を形成する。この状態では、HDP-NSG膜7の上面は、N型エピタキシャルシリコン層3の素子形成領域50の上面よりも高い位置に位置している。

【0027】

次に、本実施形態では、図4に示すように、HDP-NSG膜7上に、減圧CVD法を用いて、約800℃の温度条件下で、HTO(High-Temperature Oxide)膜8を約300nm以上約500nm以下の厚みで形成する。このHTO膜8は、HDP-NSG膜7よりも段差の被覆性(ステップカバレッジ)に優れた膜である。その一方、HDP-NSG膜7は、HTO膜8よりも埋め込み特性に優れている。このため、HDP-NSG膜7を用いることにより浅い溝20を良好に埋め込むことが可能となる。なお、HDP-NSG膜

7は、本発明の「第1の膜」の一例であり、HTO膜8は、本発明の「第2の膜」の一例である。

【0028】

なお、HTO膜8を約300nm以上で形成するのは、約300nmよりも小さい厚みになると、後述するエッチング不良の問題を解決できないからである。また、HTO膜8を約500nm以下の厚みで形成するのは、500nmよりも大きい厚みになると、HTO膜8およびHDP-NSG膜7をパターンニングすることが困難になるからである。上記したHTO膜8の形成後、HTO膜8上の所定領域に、レジスト膜9を形成する。

【0029】

次に、図5に示すように、レジスト膜9をマスクとして、HTO膜8およびHDP-NSG膜7をドライエッチングすることによってパターンニングする。この後、レジスト膜9を除去することによって、図6に示されるような形状が得られる。

【0030】

そして、HTO膜8およびHDP-NSG膜7をハードマスクとして、N型エピタキシャルシリコン層3、N+型埋め込み層2およびP型シリコン基板1をドライエッチングすることによって、図7に示されるような、N+型埋め込み層2を分離するための深い溝30が形成される。なお、この深い溝30の形成時のエッチングによって、HTO膜8の厚みが薄くなる。この深い溝30は、N型エピタキシャルシリコン層3の上面から約6 μ mの深さを有するように形成する。なお、この深い溝30は、本発明の「第2の溝」の一例である。

【0031】

ここで、HTO膜8を形成しないで深い溝30を形成する場合の不都合について、図6、図7および図12を参照して説明する。図12は、図7に示した深い溝30の形成工程において、HTO膜8を形成しないでHDP-NSG膜7のみをハードマスクとしてエッチングを行った場合を示した断面図である。HDP-NSG膜7は、埋め込み性に優れ、かつ、成膜速度が速いため、浅い溝20を埋め込む膜としては最適である。その一方、HDP-NSG膜7は、堆積とエッチ

バックとを繰り返すことによって形成されるため、その膜厚分布は、N型エピタキシャルシリコン層3の段差部上の部分7a（図7参照）が非常に薄くなるという不都合がある。このため、HDP-NSG膜7のみをハードマスクとして深い溝30のエッチングを行うと、HDP-NSG膜7の部分7aが削られてN型エピタキシャルシリコン層3が露出し、その結果、図12に示すように、N型エピタキシャルシリコン層3の段差部においてスリット状のエッチング部31が形成されてしまうという不都合が生じる。

【0032】

このような不都合を防止するため、本実施形態では、HDP-NSG膜7上に、HDP-NSG膜7よりも段差の被覆性に優れるHTO膜8を形成するとともに、HTO膜8およびHDP-NSG膜7をハードマスクとして、深い溝30のエッチングを行う。これにより、深い溝30の形成時のエッチングの際に、図12に示したようなスリット状のエッチング部31が形成されることがない。また、本実施形態では、スリット状のエッチング部31が確実に形成されないようにするため、上記したように、HTO膜8を約300nm以上の厚みで形成している。なお、深い溝30の形成時のエッチングの際に、マスクとなるHTO膜8のSiに対するエッチング選択比を向上できる場合には、HTO膜8を約300nmよりも小さい厚みで形成可能である。

【0033】

図7に示した工程の後、本実施形態では、図8に示すように、深い溝30の内面に、熱酸化法を用いて、シリコン酸化膜（SiO₂膜）10を形成する。

【0034】

次に、図9に示すように、CVD法を用いて、深い溝30を埋め込むとともに、HTO膜8を覆うように、約800nmの厚みでポリシリコン膜11を形成する。なお、ポリシリコン膜11は、本発明の「埋め込み膜」の一例である。ここで、ポリシリコン膜11と、N型エピタキシャルシリコン層3、N+型埋め込み層2およびP型シリコン基板1との電氣的絶縁は、シリコン酸化膜10によって図られている。

【0035】

最後に、本実施形態では、 Si_3N_4 膜 5 をストッパ膜として、CMP 法を用いて、ポリシリコン膜 11、HTO 膜 8 および HDP-NSG 膜 7 の余分な堆積部分を同時に研磨することにより除去する。その後、 Si_3N_4 膜 5 を約 160°C の磷酸によって除去するとともに、シリコン酸化膜 4 を希釈フッ酸 (HF) によって除去する。このシリコン酸化膜 4 の除去の際に、HDP-NSG 膜 7 の表面も削られるので、最終的に、図 10 に示されるような平坦な上面を有する本実施形態による半導体装置の素子分離領域が形成される。

【0036】

この後、図 11 に示すように、素子分離領域を覆うように、 SiO_2 膜からなる絶縁膜 51 を形成する。そして、素子形成領域 50 上に、ベース電極 52、ベース電極 52 を覆う SiO_2 膜からなる絶縁膜 53、および、エミッタ電極 54 を形成することによって、バイポーラトランジスタが形成される。

【0037】

本実施形態では、上記のように、浅い溝 20 内を埋め込むように HDP-NSG 膜 7 を形成するとともに、深い溝 30 内にポリシリコン膜 11 を形成した後、HDP-NSG 膜 7 の余分な堆積部分およびポリシリコン膜 11 の余分な堆積部分を 1 回の CMP 工程によって同時に研磨することによって、浅い溝 20 を埋め込む絶縁膜の余分な堆積部分と深い溝 30 を埋め込む埋め込み膜の余分な堆積部分とを別々の CMP 工程で研磨する場合に比べて、製造プロセスを簡略化することができる。また、高価な CMP 工程を 1 回行うだけでよいので、その分、製造コストを低減することができる。

【0038】

また、上記実施形態では、埋め込み性に優れるが被覆性が悪い HDP-NSG 膜 7 上に、HDP-NSG 膜 7 よりも被覆性に優れる HTO 膜 8 を形成するとともに、HTO 膜 8 および HDP-NSG 膜 7 をハードマスクとして深い溝 30 のエッチングを行うことによって、深い溝 30 の形成の際のエッチング時に、N 型エピタキシャルシリコン層 3 の段差部近傍の HDP-NSG 膜 7 の部分 7a が削られてスリット状のエッチング部 31 が形成されるのを有効に抑制することができる。これにより、エッチング不良が発生するのを抑制することができる。

【0039】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0040】

たとえば、上記実施形態では、浅い溝20を埋め込むための絶縁膜として埋め込み特性に優れたHDP-NSG膜を用いたが、本発明はこれに限らず、他の絶縁膜を用いてもよい。

【0041】

また、上記実施形態では、浅い溝20を埋め込むHDP-NSG膜上に形成する段差の被覆性に優れた膜として、HTO膜を用いたが、本発明はこれに限らず、被覆性がよく、かつ、深い溝のエッチング時のハードマスクとして機能する膜であれば、他の膜であってもよい。たとえば、LP-CVD法（減圧CVD法）、または、AP-CVD法（常圧CVD法）により形成されたSiO₂膜、TEOS膜またはSi₃N₄膜であってもよいし、塗布法を用いて形成されたSOG膜であってもよい。

【0042】

また、上記実施形態では、深い溝を埋め込む膜として、ポリシリコン膜を用いたが、本発明はこれに限らず、絶縁膜を用いてもよい。

【0043】

また、上記実施形態では、図7に示した深い溝30の形成の際に、レジスト膜9を除去した後HTO膜および8HDP-NSG膜7をハードマスクとしてエッチングを行ったが、本発明はこれに限らず、レジスト膜9を除去せずに、レジスト膜8、HTO膜8およびHDP-NSG膜7をマスクとしてエッチングを行ってもよい。このようにすれば、HTO膜8の厚みを小さくすることができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説



明するための断面図である。

【図 2】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 3】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 4】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 5】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 6】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 7】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 8】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 9】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 10】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 11】

本発明の一実施形態による素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 2】

図 7 に示した本実施形態による深い溝の形成工程において H T O 膜を形成しない場合の不都合を説明するための断面図である。

【図 1 3】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 4】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 5】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 6】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 7】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 8】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 1 9】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 2 0】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 2 1】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 2 2】

従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【図 2 3】

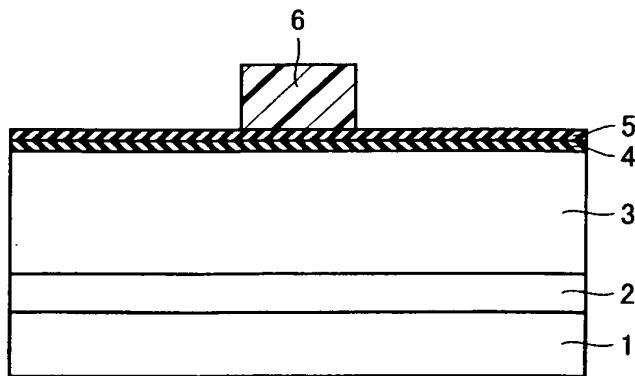
従来の素子分離領域を含む半導体装置の製造プロセスを説明するための断面図である。

【符号の説明】

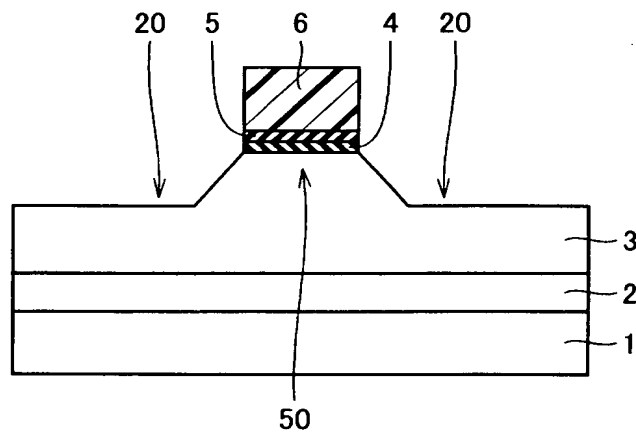
- 1 P 型シリコン基板（半導体基板）
- 2 N+型埋め込み層（半導体基板）
- 3 N型エピタキシャルシリコン層（半導体基板）
- 7 HDP－NSG膜（第 1 の膜）
- 8 HTO膜（第 2 の膜）
- 1 1 ポリシリコン膜（埋め込み膜）
- 2 0 浅い溝（第 1 の溝）
- 3 0 深い溝（第 2 の溝）
- 5 0 素子形成領域

【書類名】 図面

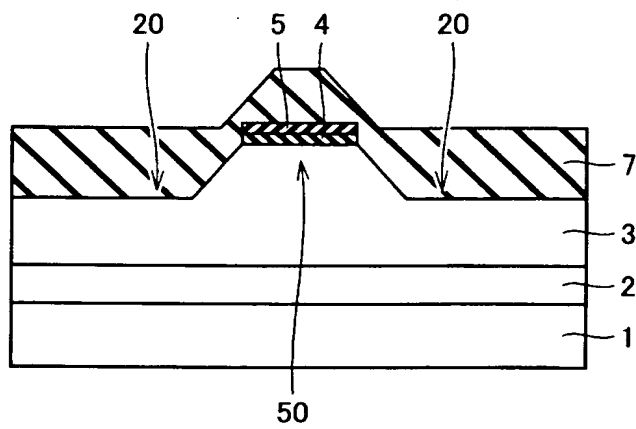
【図 1】



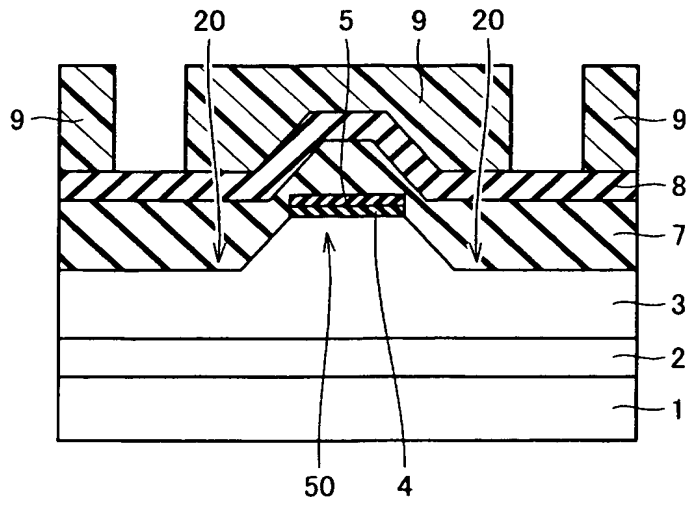
【図 2】



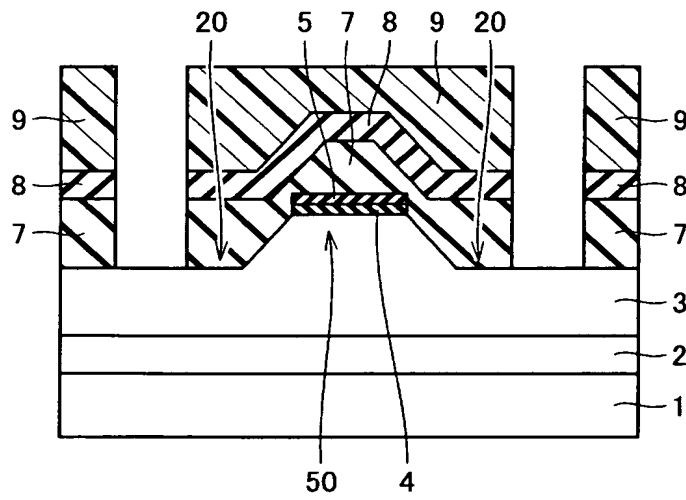
【図 3】



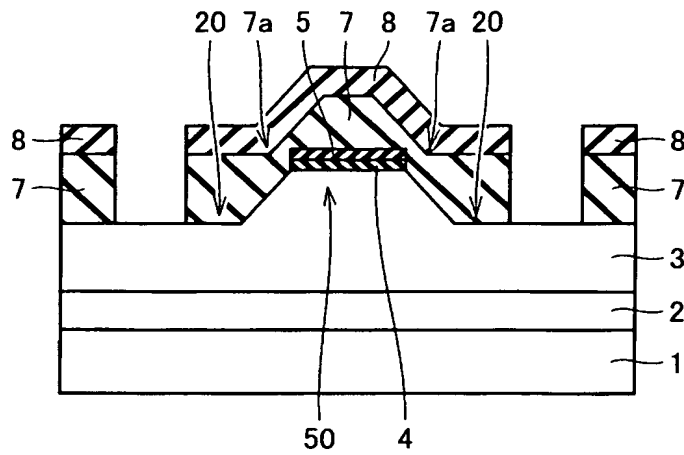
【図 4】



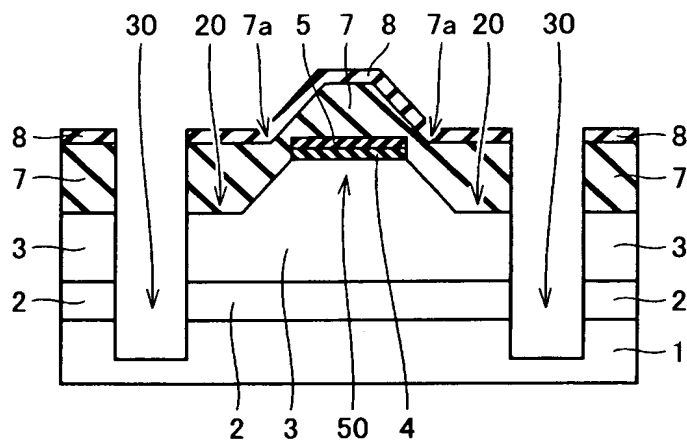
【図 5】



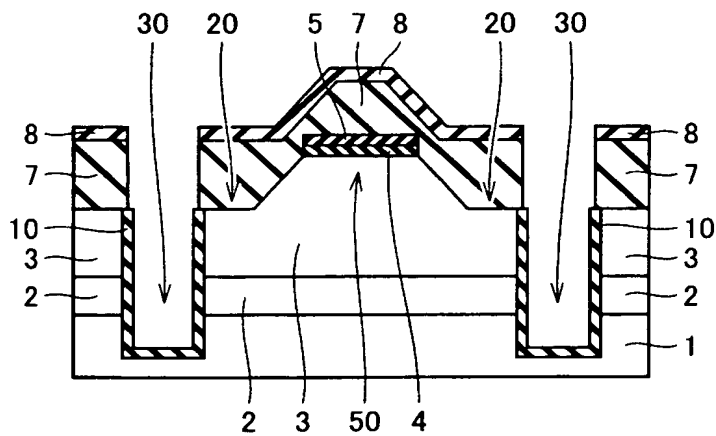
【図 6】



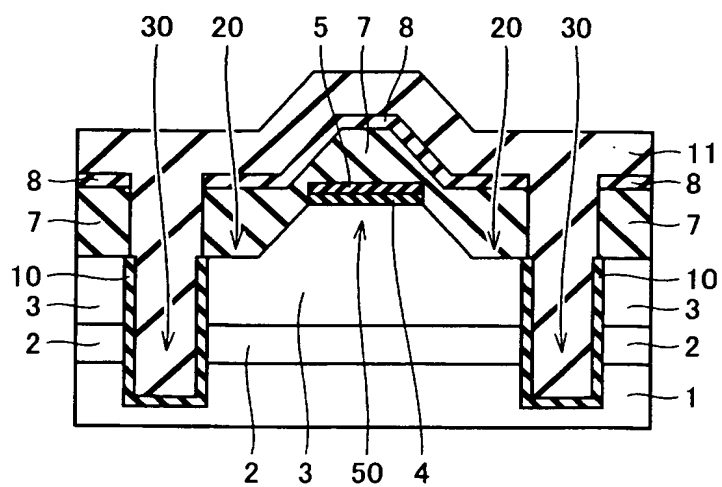
【図 7】



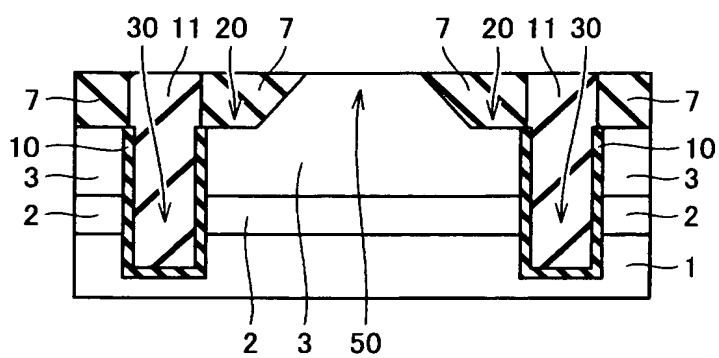
【図 8】



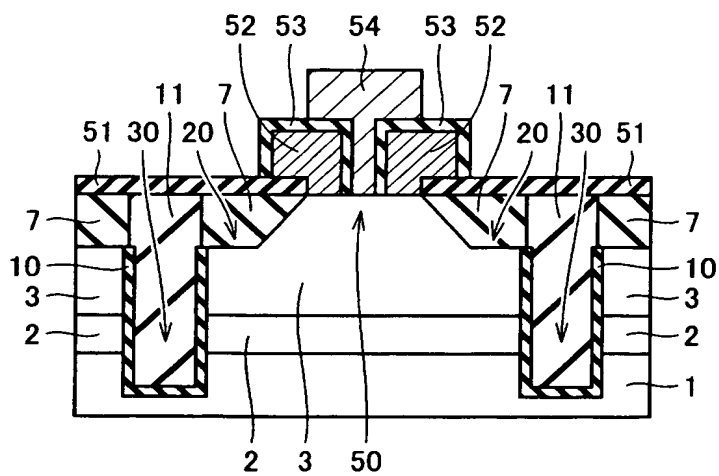
【図 9】



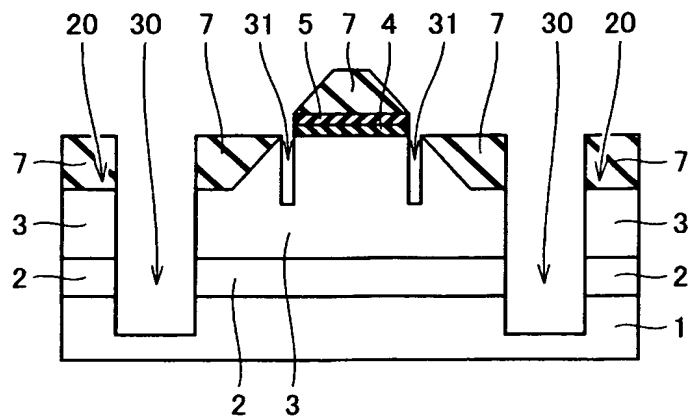
【図 10】



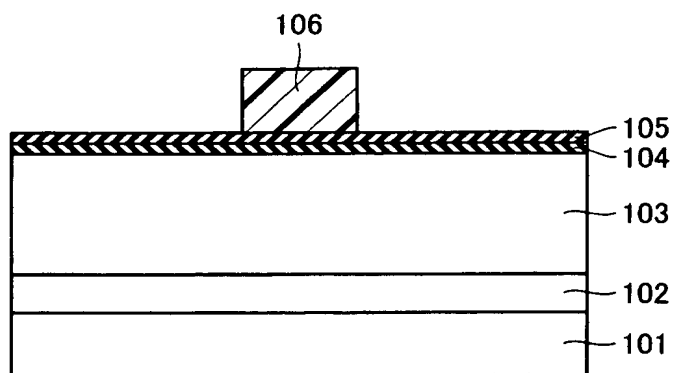
【図 11】



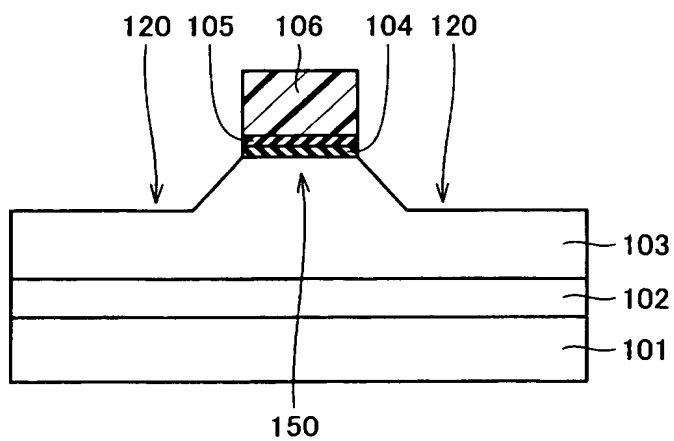
【図 1 2】



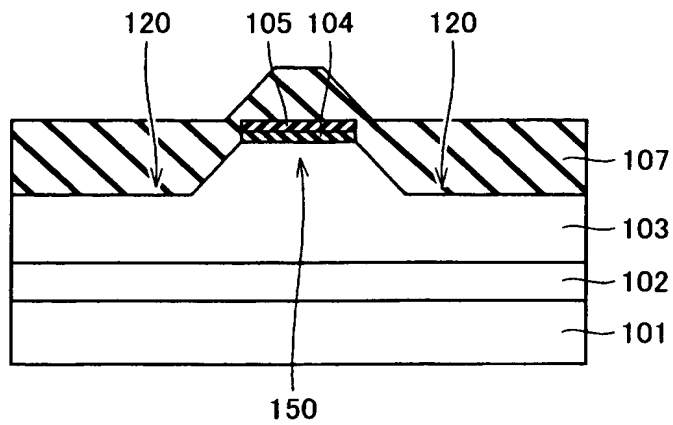
【図 1 3】



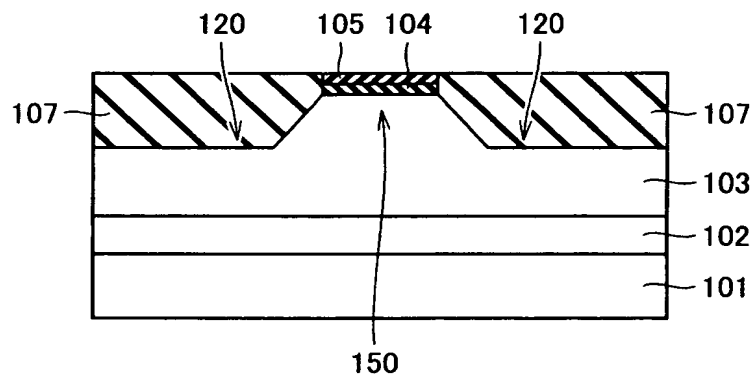
【図 1 4】



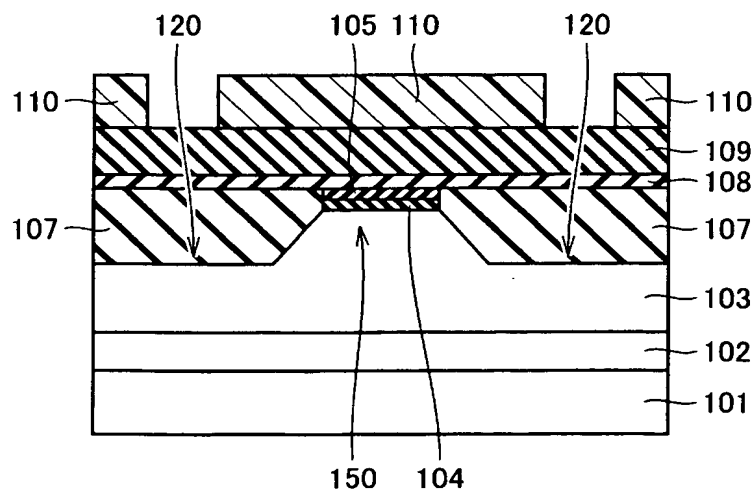
【図 15】



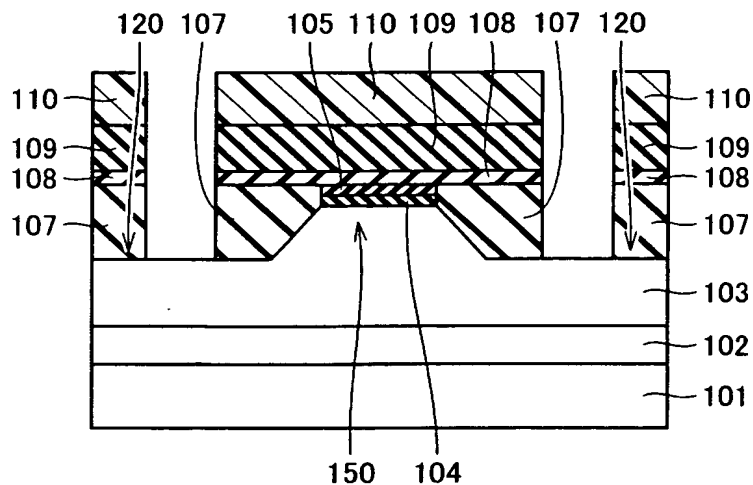
【図 16】



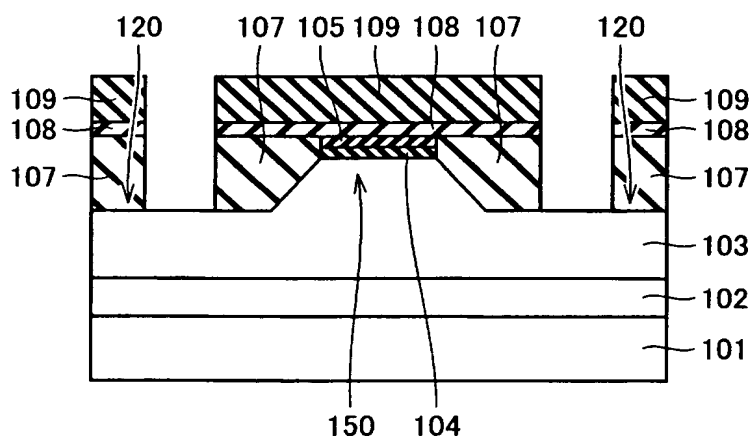
【図 17】



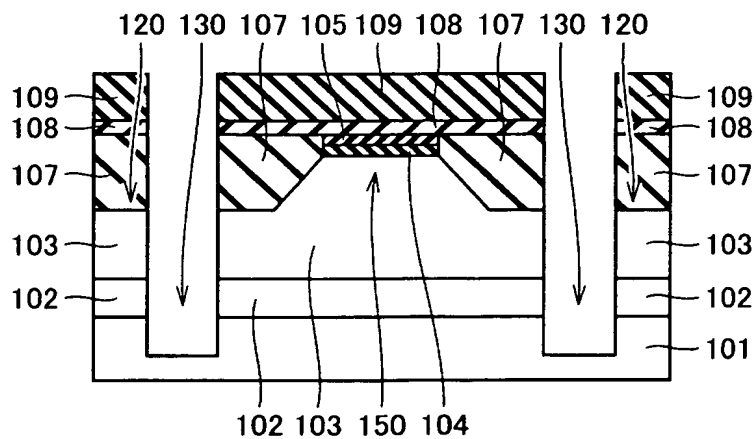
【図 18】



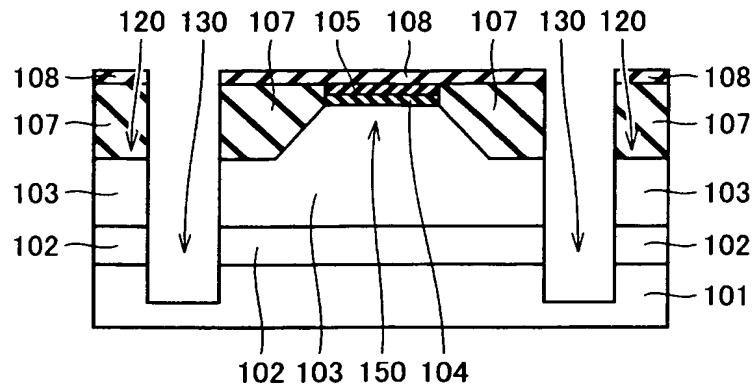
【図 19】



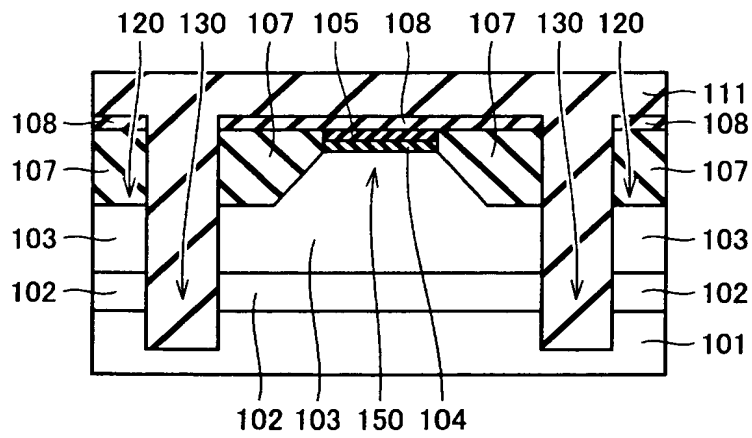
【図 20】



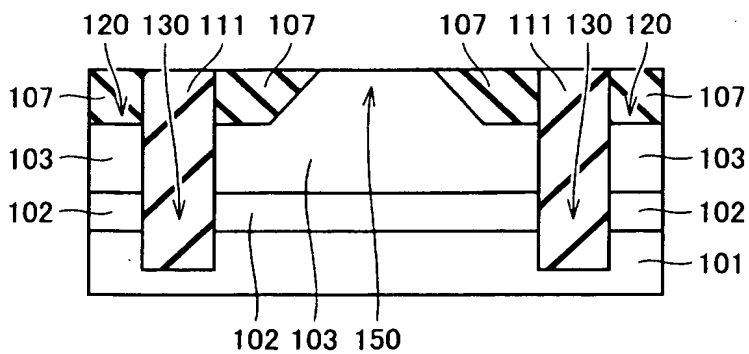
【図 2 1】



【図 2 2】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 研磨工程数を低減することによって製造プロセスを簡略化するとともに製造コストを低減することが可能な半導体装置の製造方法を提供する。

【解決手段】 この半導体装置の製造方法は、N型エピタキシャルシリコン層 3 の素子分離領域に浅い溝 2 0 を形成する工程と、高密度プラズマ C V D 法を用いて、浅い溝 2 0 内を埋め込むように H D P - N S G 膜 7 を形成する工程と、浅い溝 2 0 内に、浅い溝 2 0 よりも深さの大きい深い溝 3 0 を形成する工程と、深い溝 3 0 内にポリシリコン膜 1 1 を形成する工程と、H D P - N S G 膜 7 の余分な堆積部分およびポリシリコン膜 1 1 の余分な堆積部分を同時に C M P 法を用いて研磨する工程とを備えている。

【選択図】 図 9

特願 2 0 0 3 - 0 3 0 4 6 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社